

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-306786

(43)Date of publication of application : 22.11.1996

(51)Int.Cl. H01L 21/768  
H01L 21/3205

(21)Application number : 07-137227

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.05.1995

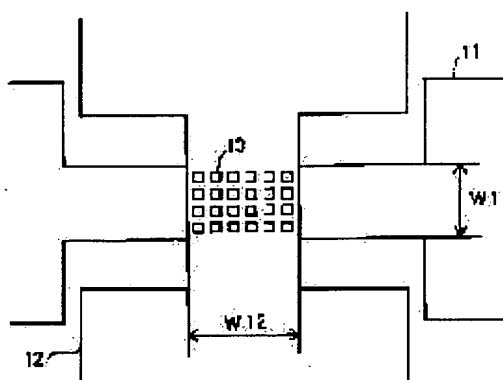
(72)Inventor : MURAKAMI AKISHIGE

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor device in which the fabrication yield does not decrease even if the overlap margin of a wide interconnection/hole is set on the order of overlap margin for fine pattern interconnection/hole.

**CONSTITUTION:** In an interconnection structure where wide lines 11 and 12, e.g. a power supply line and an earth line, are connected vertically through a plurality of holes 13, 13 made through an interlayer insulation layer of SiO<sub>2</sub>, SiN, etc., the width W11, W12 of the line 11, 12 is set at 10  $\mu$ m or less at the joint. With such structure, shrinkage of resist by UV cure can be suppressed at the joint.



## LEGAL STATUS

[Date of request for examination] 08.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-306786

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	B
21/3205			21/88	A

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21) 出願番号 特願平7-137227

(22) 出願日 平成7年(1995)5月11日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 村上 明繁

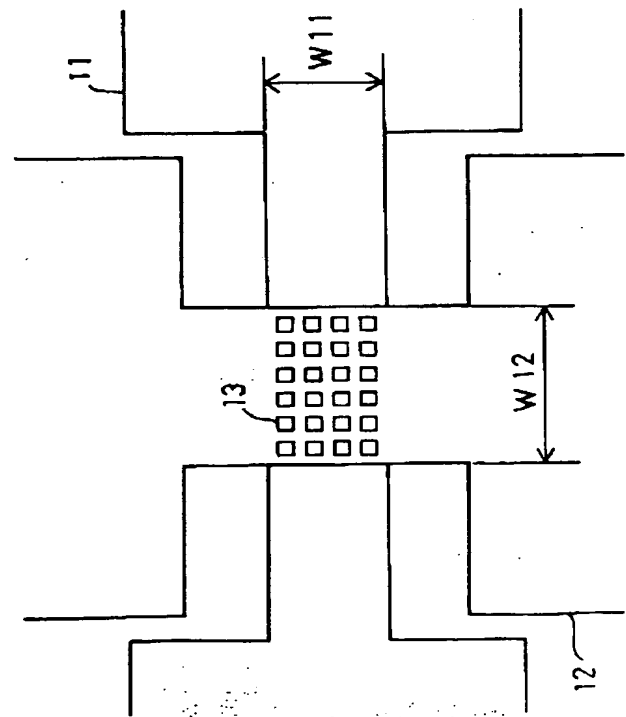
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 幅広の配線／ホールのオーバーラップマーヅンを、微細配線で規定される配線／ホールのオーバーラップマーヅンと同程度にしても歩留が低下しない半導体装置を提供する。

【構成】  $\text{SiO}_2$ 、 $\text{SiN}$ 等の層間絶縁膜にある複数のホール13、13、…を介して電源ラインやアース等の線幅の広い配線11と配線12が上下に接続されている配線構造において、配線11、12の接続部での配線幅 $W11$ 、 $W12$ を $10\mu\text{m}$ 以下とする。この構成を取ることにより、接続部でのレジストのUVキュアによるシュランクを抑制できるため所期の目的が達成される。



**【特許請求の範囲】**

【請求項 1】 層間絶縁膜にある複数のホールを介して上下に接続される配線において、接続部の配線幅が  $10\mu\text{m}$  以下であることを特徴とする半導体装置。

【請求項 2】 前記配線において、一本の配線での接続部の配線幅と接続部以外の配線幅が等しいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 一本の配線が複数の配線に分割され、分割された各々の配線の接続部の幅が  $10\mu\text{m}$  以下であることを特徴とする請求項 1 または 2 に記載の半導体装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は半導体装置に関し、詳しくは、半導体装置の配線部の構造に関するものである。

**【0002】**

【従来の技術】 集積回路の高集積化・高密度化が進むにつれ、メモリーセル・論理回路等においては、相互接続のためのメタル配線の線幅も微細化してきた。サブハーフミクロン世代（64Mビット）においては  $0.45\sim 0.80\mu\text{m}$  程度の幅のメタル配線が用いられるようになった。

【0003】 しかしながら、周辺回路の電源ラインでは所要の電流を流す必要があるためや、アースラインではノイズを防ぐため、数十～ $200\mu\text{m}$  以上の幅を持つ幅広のメタル配線も同時に使用されている。

【0004】 また、サブハーフミクロン世代以降では、基板と配線および配線間を接続するコンタクトホール・スルーホールの微細化も進み、Al によるホール埋込みが困難となるため、Wデポとエッチバックを利用したプロセスや、W選択 CVD 法による埋込みメタルが採用されてきた。これらの方式では、エッチバックでのリセス量を低減するため、また選択 CVD 法での堆積時間を一定とするためホール径を一定（ホール径を 1 種類とする）にしなければならない。

【0005】 そのため微細配線間の接続のみならず、幅広の配線間の接続においても、微細なホールをアレイ状に並べて接続する方式を取る必要がある。一般的に配線／ホール間のオーバーラップマージンは微細配線上のホールの抵抗によって規定される。

**【0006】**

【発明が解決しようとする課題】 フォトリソグラフィとエッチングプロセスを見ると、主に Al 合金からなるメタル配線をレジストをマスクとしてドライエッチングにより加工する場合、ドライエッチング中にレジストが熱変形することを防ぐため、予め UV 光を照射しながら  $150\sim 200^\circ\text{C}$  でレジストを熱硬化させる（UV キュア）ことが行われている。

【0007】 微細なメタル配線では UV キュアによりレジストは熱硬化するが、電源ライン等の幅広のメタル配

線では、UV キュア中にレジストは熱硬化するとともに熱収縮（シュランク）を顕著に起こし、エッチング後では微細配線で規定される配線／ホールのオーバーラップマージン（一般的にサブハーフミクロン世代では  $0.3\mu\text{m}$  以下）と同程度のオーバーラップマージンで設計した場合でアレイ状に並べたときに、最外周のホールがメタル配線から外れ、ショート不良を招く恐れがある。よって幅広メタルでは、別途に大きな配線／ホールのオーバーラップマージンを定める必要がある。

【0008】 また他に、特開平 3-196631 号公報には、図 5 に示すようにメタル配線の内側にスリット 112 を設けることにより、実質的に幅広のメタル配線ではない形状とした半導体集積回路が開示されている。なお、図 5 において 110 は下層配線、111 は上層配線、114 は細状配線である。しかし、この構成では接続部にスリットを設けないため、UV キュアによりレジストのシュランクが顕著に起き、やはり別途に大きな配線／ホールのオーバーラップマージンを定める必要がある。

【0009】 本発明は前述の欠点を考慮してなされたもので、その目的は、電源ラインやアースライン等の幅広の配線の接続部において、UV キュアによるレジストのシュランクを抑制することにより、幅広の配線／ホールのオーバーラップマージンを、微細配線で規定される配線／ホールのオーバーラップマージンと同程度にしても歩留を低下させない構造を有する半導体装置を提供することにある。

**【0010】**

【課題を解決するための手段】 請求項 1 に記載の半導体装置は、層間絶縁膜にある複数のホールを介して上下に接続される配線において、接続部の配線幅が  $10\mu\text{m}$  以下であることを特徴とする。

【0011】 請求項 2 に記載の半導体装置は、請求項 1 に係る配線において、一本の配線での接続部の配線幅と接続部以外の配線幅が等しいことを特徴とする。

【0012】 請求項 3 に記載の半導体装置は、請求項 1 または 2 において、一本の配線が複数の配線に分割され、分割された各々の配線の接続部の幅が  $10\mu\text{m}$  以下であることを特徴とする。

【0013】 以下、本発明に係る半導体装置の構成・作用について具体的に説明する。サブハーフミクロン世代では配線も  $0.45\sim 0.80\mu\text{m}$  程度の微細配線になるため、ドライエッチングで加工を行うのが一般的である。現在主流となっている i 線用のノボラックタイプのレジストでは  $130\sim 140^\circ\text{C}$  程度の熱耐性しか持っていないため、UV キュアによる熱硬化をさせない場合は配線のドライエッチング中にレジストが熱変形を起こし、配線が細ったり最悪の場合、断線が生じる等の配線の形状劣化を招く。これらを防ぐため、UV キュアによるレジストの熱硬化が必要不可欠となる。

【0014】一般にUVキュアの温度が高くなると、レジスト自体の熱耐性は向上するが、200℃以上では熱耐性はほぼ一定となる。一方、幅広のレジストでのシュランクはUVキュア温度が高くなるにつれて顕著になり、200℃程度でも飽和しない。そのため一般的にはUVキュアは150～220℃で行われる。

【0015】本発明者らは、この温度範囲での配線幅とシュランクの程度との関係を調べた。シュランクの程度を設計寸法からのレジストの後退量で規定し、レジスト線幅とシュランクとの関係を図4に示す。レジスト線幅が10μmを超えるとシュランクが顕著に現れ、10μm以下では微細配線で規定される配線／ホールのオーバーラップマージン（サブハーフミクロン世代では0.3μm程度）と比較し、シュランクは十分小さいことを見出した。つまり、微細配線での配線／ホールのオーバーラップマージンと同程度のオーバーラップマージンを幅広配線に採用することを考えると、配線幅を10μm以下とすることによってシュランクによるレジストの後退を抑制でき、ほぼ設計寸法に配線を加工（設計寸法に比較して0.1～0.2μm細る程度に加工）できることを見出した。よって、幅広の配線で別途に大きな配線／ホールのオーバーラップマージンを設定しなくても歩留は低下しないことがわかった。

【0016】本発明の半導体装置の構成例を図1に示す。本例はSiO<sub>2</sub>、SiN等の層間絶縁膜にある複数のホール13、13、…を介して電源ラインやアース等の線幅の広い配線11と配線12が上下に接続されていることを示している。配線11、12の接続部での配線幅をW11、W12とすると、W11、W12のいずれも10μm以下となっている。この構成を取ることで、接続部でのレジストのUVキュアによるシュランクを抑制できるため、配線／ホールのオーバーラップマージンを、微細配線で規定される配線／ホールのオーバーラップマージンと同程度にすることができる。

【0017】本発明に係る配線は、主にAlまたはAl合金から構成されるのが良い。AlまたはAl合金から構成されると配線抵抗を小さくできる。そのため電源ラインやアースライン等の配線幅を比較的容易に小さくすることができる。なお、Al合金としてはAlSi、AlSiCu、AlCu、AlPd等が適している。

【0018】また、配線は主にAlまたはAl合金から構成される層と、他の金属または合金との多層配線で構成されていても良い。特に幅広の配線と微細な配線を同一レイヤーに混在させる場合、主にAlまたはAl合金から構成される層が最上層にあると、フォトリソグラフィにおいてハレーションによるノッチングのため染料入りレジストを使わざるを得ないため、解像度が不足し配線幅を小さくできない。そのため一般的には、配線の最上層に反射防止膜を積層化する。当然幅広の配線も微細配線と同じレイヤーに混在するため、反射防止膜が積

層化されるが、機能上何ら問題はないので、反射防止膜を除去する必要はない。反射防止膜としてはTiN、TiW等が用いられる。あるいは、配線のエレクトロマイグレーションの抑制のため主にAlまたはAl合金から構成される層の片側または両側をTiW、TiN等の層で積層化してあっても良い。

【0019】図2に本発明の半導体装置の別の構成例を示す。本例はSiO<sub>2</sub>、SiN等の層間絶縁膜にある複数のホール43を介して接続される配線41、42において、一本の配線での接続部の配線幅と接続部以外の配線幅が等しく、配線幅W41とW42が10μm以下となっている。

【0020】一般に配線幅の急激な細りは、エレクトロマイグレーションを加速すると言われている。よって、本構成を取ることでより幅広の配線が接続部で急激に小さくなることを防ぐことが可能となるため、エレクトロマイグレーションによる配線の断線を抑制でき、長期的な信頼性が向上する。なお、本例では上下の配線とも接続部と接続部以外での配線幅が同じであるが、片側の配線のみ接続部と接続部以外での配線幅が同じ場合も本発明の効果が期待されるので、本発明に含まれるものとする。

【0021】図3に本発明の半導体装置の更に別の構成例を示す。本例は、一本の配線52が複数の配線52a、52b、52cに分割され、層間絶縁膜にある複数のホール53a、53b、53cを介して配線51と接続されている。分割後の配線52a、52b、52cは接続部の配線幅が10μm以下となっている。本構成を取ることでより電源ラインでは配線の電流容量が増加し、またアースラインではノイズに強くなる。

【0022】なお、本例では分割された配線が3本となっているが、複数本であれば問題はない。また、本例では上層配線のみが分割されているが、下層配線が分割されても、上層・下層配線の両方が分割されても本発明に含まれるものとする。さらに、分割された配線の一部または全部が接続部を通った後、再び結合される場合も本発明に含まれるものとする。

【0023】図1、2および3の構成例においては、幅広の配線同士が複数のホールを介して接続されているが、配線と半導体基板の接続においても、本発明の効果は同様に期待できる。よって、少なくとも接続される一方が配線であれば、本発明に含まれるものとする。

【0024】

【実施例】次に、本発明の実施例および比較例について説明する。

#### 実施例1

半導体基板（シリコンウエハー）上に配線が未形成のゲート長0.35μmのCMOSからなるメモリセルと周辺回路を形成した後、CVD法によりBPSGを6000Å成膜し1層目の層間絶縁膜とした。その後、ソース

・ドレインおよびゲート上の層間絶縁膜に $0.4\mu\text{m}$ のコンタクトホールを開口し、Tiをスパッタ法により $400\text{\AA}$ 成膜し、 $850^\circ\text{C}$ のアニールによりソース・ドレインをシリサイド化し低抵抗化した。その後、 $\text{WF}_6$ ガスを水素還元するCVD法によりWを $8000\text{\AA}$ 成膜し、引き続き $\text{SF}_6$ とArガスを用いたエッチバックによりコンタクトホールにWを埋め込んだ。そして、スパッタ法により $\text{AlSiCu}$ を $5500\text{\AA}$ および上層にTiNを $400\text{\AA}$ 成膜した。その後、レジストを $1.6\mu\text{m}$ 塗布し、フォトリソグラフィによってレジストマスクを形成し、 $150\sim 200^\circ\text{C}$ のUVキュアを経てレジストを熱硬化した後、 $\text{Cl}_2$ と $\text{BCl}_3$ ガスを用いたドライエッチングにより1層目の配線を加工した。

【0025】なお、1層目の配線はメモリセル領域上では $0.50\mu\text{m}$ 幅で配線されており、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域では配線幅が $5\mu\text{m}$ 、その他の領域では $20\mu\text{m}$ 幅で配線されている。

【0026】1層目の配線を加工した後、CVD法によりNSGを $8000\text{\AA}$ 成膜し2層目の層間絶縁膜とした。2層目の層間絶縁膜上にフォトリソグラフィにより厚さ $1.2\mu\text{m}$ のレジストマスクを形成した後、 $\text{CHF}_3$ とArガスを用いたドライエッチングにより2層目の層間絶縁膜に $0.50\mu\text{m}$ のホール（スルーホール）を設けた。なお、周辺回路の電源ラインとアースラインではスルーホール1が、スルーホール/配線のオーバーラップが配線幅によらず $0.3\mu\text{m}$ となるようにアレイ状に配置している。

【0027】その後、前述と同様に上記スルーホール1を、WデポジションおよびエッチバックプロセスによりWによって埋め込み、さらに1層目の配線と同様のプロセスで2層目の配線を形成した。なお、2層目の配線はメモリセル領域上では $0.60\mu\text{m}$ 幅で配線されており、周辺回路の電源ラインとアースラインでは、1層目の配線と接続される領域では配線幅が $5\mu\text{m}$ 、3層目の配線と接続される領域では配線幅が $10\mu\text{m}$ 、その他の領域では $20\mu\text{m}$ 幅で配線されている。

【0028】2層目の配線を加工した後、前述と同様にNSGを $8000\text{\AA}$ 成膜し、3層目の層間絶縁膜とした。3層目の層間絶縁膜にフォトリソグラフィおよびドライエッチングにより $0.50\mu\text{m}$ のスルーホール2を設けた。周辺回路の電源ラインとアースラインでは配線幅 $5\mu\text{m}$ および配線幅 $10\mu\text{m}$ において、配線/スルーホールとスルーホール/配線のオーバーラップが配線幅によらず $0.3\mu\text{m}$ となるように、スルーホール2をアレイ状に配置した。なお、周辺回路にあるスルーホール2の一部は2層目、3層目の層間絶縁膜を介して1層目の配線と3層目の配線を直接接続するものである。その場合の配線/スルーホールのオーバーラップも配線幅によらず $0.3\mu\text{m}$ とした。

【0029】その後、前述と同様に上記スルーホール2にWを埋め込み、さらに2層目の配線と同様のプロセスで3層目の配線を形成した。なお、3層目の配線はメモリセル領域上では $0.80\mu\text{m}$ 幅で配線されており、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域では配線幅が $10\mu\text{m}$ 、その他の領域では $100\mu\text{m}$ 幅で配線されている。その後、CVD法によりNSGを $5000\text{\AA}$ 、SiNを $3000\text{\AA}$ 成膜し、パッシベーション膜とした。そして、パッドをドライエッチングで開口し、素子を完成させた。

#### 【0030】比較例1

周辺回路の電源ラインとアースラインにおいては1層目、2層目、3層目の配線で配線幅を上下の配線との接続部とその他の場所で同じにした素子を、同様のプロセスで作製した。周辺回路の電源ラインとアースラインの配線幅は1層目で $20\mu\text{m}$ 、2層目で $20\mu\text{m}$ 、3層目で $100\mu\text{m}$ とした。周辺回路の電源ラインとアースラインの接続部でのコンタクトホール、スルーホール1、スルーホール2の配置は、コンタクトホール/配線、配線/スルーホールおよびスルーホール/配線のオーバーラップマージンを $0.3\mu\text{m}$ とするようにアレイ状に配置した。上記のオーバーラップマージンを取ると、配線のエッチング後において、スルーホールアレイのうちの最外周のスルーホールは配線の外側に位置される。

#### 【0031】比較例2

周辺回路の電源ラインとアースラインにおいて1層目、2層目、3層目の配線で配線幅を上下の配線との接続部とその他の場所で同じにした素子を、同様のプロセスで作製した。配線幅は1層目で $20\mu\text{m}$ 、2層目で $20\mu\text{m}$ 、3層目で $100\mu\text{m}$ とした。周辺回路の電源ラインとアースラインにおいて配線の接続部でのコンタクトホール、スルーホール1、スルーホール2の配置は、UVキュアでのレジストのシュランクによる配線の細りを考慮して、配線/スルーホールおよびスルーホール/配線のオーバーラップマージンを $3.0\mu\text{m}$ としてアレイ状に配置した。上記のオーバーラップマージンを取ると、配線のエッチング後においてもスルーホールアレイはすべて配線内に位置される。実施例1と比較例1、2の歩留を評価した。結果を〔表1〕に示す。

#### 【0032】

〔表1〕

素子構造	歩留
実施例1	55%
比較例1	27%
比較例2	58%

【0033】実施例1は比較例1と比較し歩留が高く、幅広の配線/ホールのオーバーラップマージンを微細配

線での配線／ホールのオーバーラップマージンと比較して大きくした比較例2と同等の歩留を示した。比較例1での歩留低下の主な要因は、周辺回路での配線の外に配置されるスルーホール2を介しての半導体基板と3層目の配線の短絡である。よって、上記実施例1のように、本発明の幅広の配線の接続部において配線幅を $10\mu\text{m}$ 以下とすることにより、UVキュアによりレジストのシュランクを抑制することができ、幅広の配線／ホールのオーバーラップマージンを微細な配線／ホールのオーバーラップマージンと同程度に定めても歩留を低下させないことがわかる。

#### 【0034】実施例2

実施例1と同様のプロセスで、下記構成の素子を作製した。1層目の配線はメモリセル領域上では $0.50\mu\text{m}$ 幅で、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域およびその他の領域も配線幅が $5\mu\text{m}$ 幅で配線されており、2層目の配線はメモリセル領域上では $0.60\mu\text{m}$ 幅で、周辺回路の電源ラインとアースラインでは1層目および3層目の配線と接続される領域およびその他の領域も配線幅が $5\mu\text{m}$ で配置されており、3層目の配線はメモリセル領域上では $0.80\mu\text{m}$ 幅で配線されており、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域では配線幅が $10\mu\text{m}$ 、その他の領域では $100\mu\text{m}$ 幅で配線されている素子を作製した。

【0035】実施例2の歩留は50%であり、実施例1と同様の効果があることが確認された。また、実施例2をプラスチックパッケージに封入し、寿命を測定した結果、1層目および2層目の配線のエレクトロマイグレーションが抑制されたため、実施例1の約1.5倍の寿命をもつことがわかった。

#### 【0036】実施例3

実施例1と同様のプロセスで、下記構成の素子を作製した。1層目の配線はメモリセル領域上では $0.50\mu\text{m}$ 幅で、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域およびその他の領域も配線幅が $5\mu\text{m}$ 幅で配線されており、2層目の配線はメモリセル領域上では $0.60\mu\text{m}$ 幅で、周辺回路の電源ラインとアースラインでは1層目および3層目の配線と接続される領域およびその他の領域も配線幅が $5\mu\text{m}$ で配線されており、3層目の配線はメモリセル領域上では $0.80\mu\text{m}$ 幅で配線されており、周辺回路の電源ラインとアースラインでは2層目の配線と接続される領域以外では1

$00\mu\text{m}$ 幅で配線されており、接続部とその近傍においてのみ配線幅 $10\mu\text{m}$ の10本の配線に分割され配線されている素子を作製した。

【0037】実施例3の歩留は62%であり、実施例1と同様の効果があることが確認された。また、実施例3の素子について、周辺回路の3層目配線の電源ラインの電流容量を測定したところ、実施例1の約10倍あることがわかった。

【0038】なお、上記実施例1～3では、ホールをすべてWで埋め込んでいるが、配線材料であるA1またはA1合金を成膜後 $400\sim 600^\circ\text{C}$ でアニールしたり、高温でスパッタすることにより配線材料のリフロー性を向上させてホールを埋め込んでも何ら問題はない。

#### 【0039】

【発明の効果】以上の説明で明らかなように、請求項1に記載の半導体装置によれば、接続部でのレジストのUVキュアによるシュランクを抑制でき、幅広の配線／ホールのオーバーラップマージンを微細な配線／ホールのオーバーラップマージンと同程度に定めても歩留を低下させない効果がある。請求項2に記載の半導体装置によれば、請求項1による効果に加えて、幅広の配線が接続部で急激に小さくなることを防ぐことが可能となるため、エレクトロマイグレーションによる配線の断線を抑制でき、長期的な信頼性が向上するとともに、寿命が向上する効果がある。請求項3に記載の半導体装置によれば、請求項1または2による効果に加えて、電源ラインでは配線の電流容量が増加し、またアースラインではノイズが強くなる効果がある。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体装置の構成例を示す平面図である。

【図2】半導体装置の別の構成例を示す平面図である。

【図3】半導体装置の更に別の構成例を示す平面図である。

【図4】レジスト線幅とレジスト後退量の関係を示すグラフである。

【図5】従来の半導体装置の構成例を示す平面図である。

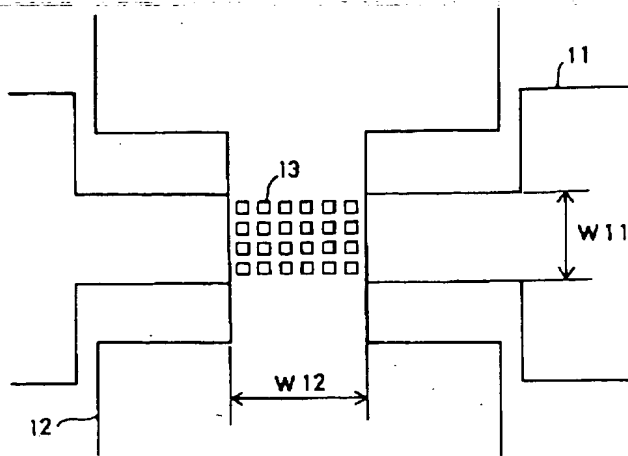
#### 【符号の説明】

11, 12, 41, 42, 51, 52, 52a～52c 配線

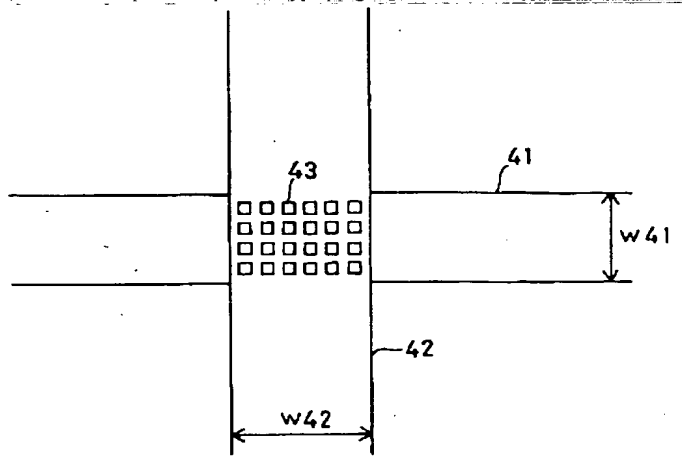
13, 43, 53a～53c ホール

W11, W12, W41, W42 配線幅

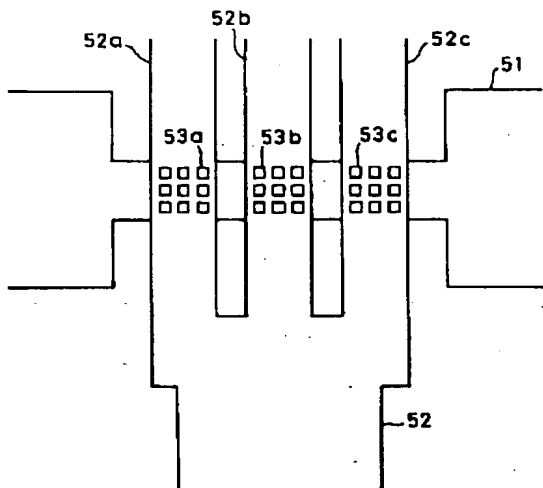
【図1】



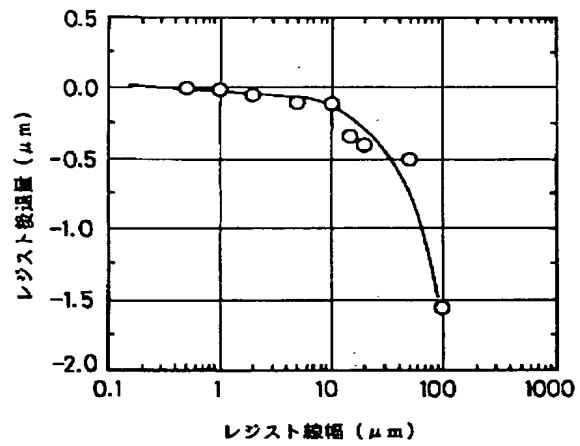
【図2】



【図3】



【図4】



【図5】

